Міністерство освіти і науки України

Національний технічний університет України

«Київський Політехнічний Інститут імені Ігоря Сікорського»

Факультет прикладної математики

Кафедра «Системного програмування і спеціалізованих комп’ютерних систем»

Лабораторна робота №3

З дисципліни «Комп’ютерна схемотехніка» :

«Проектування регістрів на потенціальних елементах»

Виконав:

студент III курсу,

група КВ-41

Яковенко Максим

Перевірив:

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Київ-2016

**Побудувати регістр на асинхронних RS тригерах для виконання мікрооперації AND із КС на елементах 2АБО-НЕ.**

|  |  |  |  |
| --- | --- | --- | --- |
| *збудження RS*  *тригера* | | | |
| Qt | Qt+1 | FR | FS |
| 0 | 0 | \* | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | \* |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *i-й розряд при*  *виконанні AND(Y4)* | | | | | |
| Y4 | Xi t | Qit | Qit+1 | FRi | FSi |
| 0 | 0 | 0 | 0 | \* | 0 |
| 0 | 0 | 1 | 1 | 0 | \* |
| 0 | 1 | 0 | 0 | \* | 0 |
| 0 | 1 | 1 | 1 | 0 | \* |
| 1 | 0 | 0 | 0 | \* | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | \* | 0 |
| 1 | 1 | 1 | 1 | 0 | \* |

**FRi**

|  |  |  |  |
| --- | --- | --- | --- |
| \* | 0 | 1 | \* |
| \* | 0 | 0 | \* |

*Y4*

Xit

Qit

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | \* | 0 | 0 |
| 0 | \* | \* | 0 |

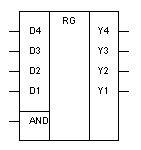
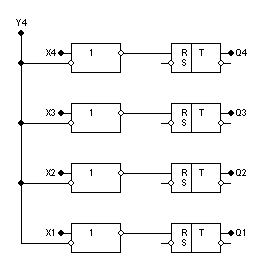
*Y4*

Xit

Qit

**FSi**

***Схема: УГП:***

****

**Побудувати регістр на асинхронних RS тригерах для виконання мікрооперації OR із КС на елементах 2І-НЕ.**

|  |  |  |  |
| --- | --- | --- | --- |
| *збудження RS*  *тригера* | | | |
| Qt | Qt+1 | FR | FS |
| 0 | 0 | \* | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | \* |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *i-й розряд при*  *виконанні OR(Y5)* | | | | | |
| Y4 | Xi t | Qit | Qit+1 | FRi | FSi |
| 0 | 0 | 0 | 0 | \* | 0 |
| 0 | 0 | 1 | 1 | 0 | \* |
| 0 | 1 | 0 | 0 | \* | 0 |
| 0 | 1 | 1 | 1 | 0 | \* |
| 1 | 0 | 0 | 0 | \* | 0 |
| 1 | 0 | 1 | 1 | 0 | \* |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | \* |

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | \* | \* | 0 |
| 0 | \* | \* | 0 |

*Y5*

Xit

Qit

**FSi**

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 0 | 0 | \* |
| \* | 0 | 0 | \* |

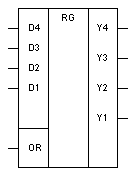
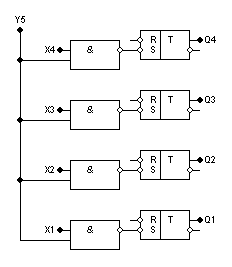
*Y5*

Xit

Qit

**FRi**

***Схема: УГП:***

****

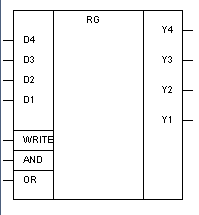
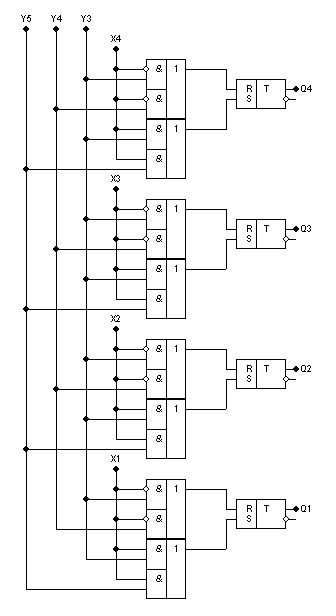
1. **На асинхронних тригерах RS побудувати 4-розрядний регістр, призначений для виконання трьох мікрооперацій: WRITE(Y3), AND(Y4), OR(Y5).**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *i-й розряд при*  *виконанні OR(Y5)* | | | | | |
| Y5 | Xi t | Qit | Qit+1 | FRi | FSi |
| 0 | 0 | 0 | 0 | \* | 0 |
| 0 | 0 | 1 | 1 | 0 | \* |
| 0 | 1 | 0 | 0 | \* | 0 |
| 0 | 1 | 1 | 1 | 0 | \* |
| 1 | 0 | 0 | 0 | \* | 0 |
| 1 | 0 | 1 | 1 | 0 | \* |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | \* |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *i-й розряд при*  *виконанні WRITE(Y3)* | | | | | |
| Y3 | Xi t | Qit | Qit+1 | FRi | FSi |
| 0 | 0 | 0 | 0 | \* | 0 |
| 0 | 0 | 1 | 1 | 0 | \* |
| 0 | 1 | 0 | 0 | \* | 0 |
| 0 | 1 | 1 | 1 | 0 | \* |
| 1 | 0 | 0 | 0 | \* | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | \* |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *i-й розряд при*  *виконанні AND(Y4)* | | | | | |
| Y4 | Xi t | Qit | Qit+1 | FRi | FSi |
| 0 | 0 | 0 | 0 | \* | 0 |
| 0 | 0 | 1 | 1 | 0 | \* |
| 0 | 1 | 0 | 0 | \* | 0 |
| 0 | 1 | 1 | 1 | 0 | \* |
| 1 | 0 | 0 | 0 | \* | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | \* | 0 |
| 1 | 1 | 1 | 1 | 0 | \* |

***Схема: УГП:***

****

1. **На синхронних D тригерах побудувати 4-розрядний регістр, призначений для виконання мікрооперації**

|  |  |  |
| --- | --- | --- |
| *збудження*  *D-тригера* | | |
| *Qt* | *Qt+1* | *FТ* |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

|  |  |  |  |
| --- | --- | --- | --- |
| *i-й розряд при*  *виконанні SLA(Y10)* | | | |
| *Qi-1* | Qit | Qit+1 | FDi |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 |

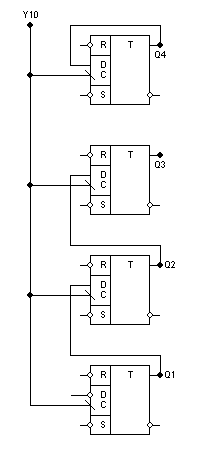
*Qi* t

**F1**

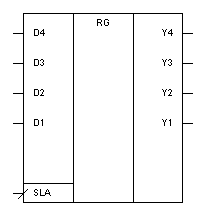
|  |  |
| --- | --- |
| 1 | 1 |
| 0 | 0 |

*Qi-1* t

***Схема:***

****

***УГП:***

****

**На синхронних тригерах RS побудувати 4-розрядний регістр, призначений для виконання мікрооперацій:**

RESET (Y1), RDCOM (Y15), WRITE (Y3), AND(Y4), RR(Y13)

Мікрооперації *RESET, RDCOM* – тривіальні. Функції збудження для мікрооперацій WRITE та AND візьмемо з завдання 2.

|  |  |  |  |
| --- | --- | --- | --- |
| *збудження RS*  *тригера* | | | |
| Qt | Qt+1 | FR | FS |
| 0 | 0 | \* | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | \* |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *i-й розряд при*  *виконанні RR(Y13), in* | | | | | |
| Y13 | Qi+1t | Qit | Qit+1 | FRi | FSi |
| 0 | 0 | 0 | 0 | \* | 0 |
| 0 | 0 | 1 | 1 | 0 | \* |
| 0 | 1 | 0 | 0 | \* | 0 |
| 0 | 1 | 1 | 1 | 0 | \* |
| 1 | 0 | 0 | 0 | \* | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | \* |

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 0 | 1 | \* |
| \* | 0 | 0 | \* |

*Y13*

Qi+1t

Qit

**FRi**

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | \* | 0 | 0 |
| 0 | \* | \* | 0 |

*Y13*

Qi+1t

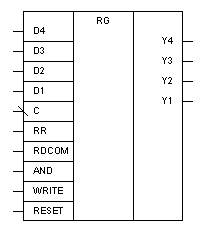
Qit

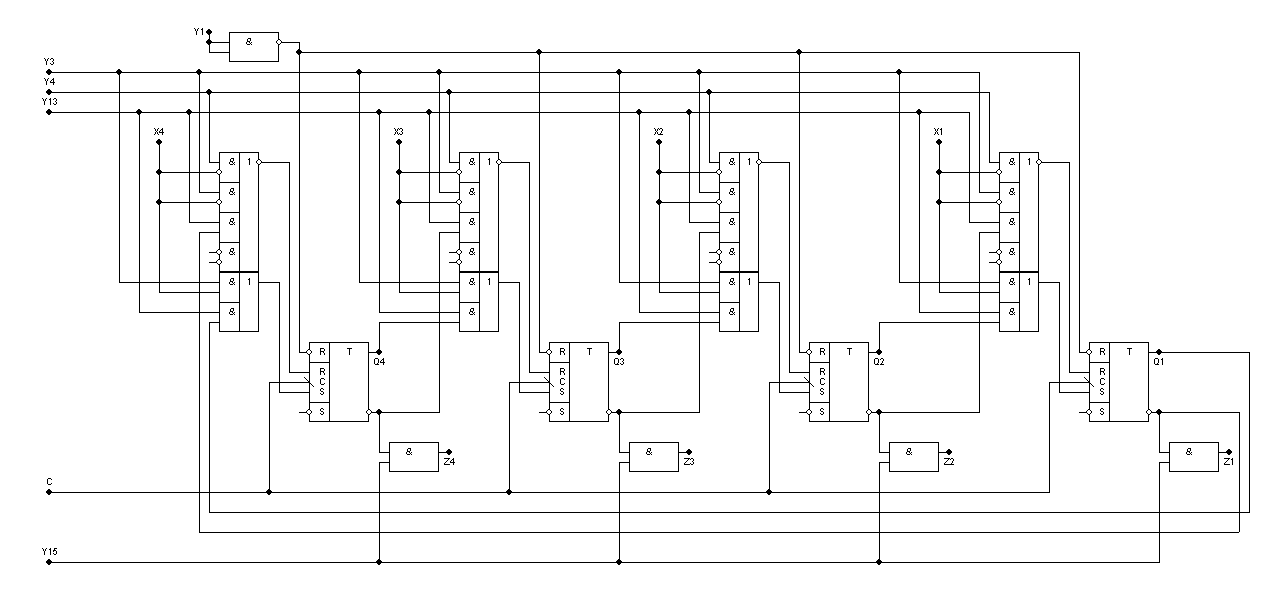
**FSi**

**AND:**

**WRITE:**   
 **RR:** ;

**УГП**

****

****